

(43) Date of publication of application: **28.07.95**

**G06T 3/40**  
**G09G 5/36**  
**H04N 1/393**

(71) Applicant: **NEC CORP**

(72) Inventor: **TAKAHARA TORU**

COPYRIGHT: (C)1995,JPO

[illegible]

**CONSTITUTION:** In the reducing circuit provided with a first counter 3 counting a data transfer clock and alternately preloading two values A and B which are preliminarily set at the time of reset and at the time of the generation of its own carry-out and an enable generation part always or alternately thinning output data at the time of the generation of the carry-out of the first counter 3, the precise magnification setting for every 1%, for instance, is made possible by providing a second counter 11 counting the number of times of thinning and preloading the value C set newly at the time of the reset and at the time of the generation of its own carry-out and an enable generation part activating output data according to the carry-out of the second counter 11.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-192124

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 3/40				
G 0 9 G 5/36	5 2 0 E	9471-5G		
H 0 4 N 1/393				

G 0 6 F 15/ 66      3 5 5 D

審査請求 有 請求項の数3 OL (全 7 頁)

(21) 出願番号 特願平5-333340

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高原 徹

東京都港区芝五丁目7番1号日本電気株式会社内

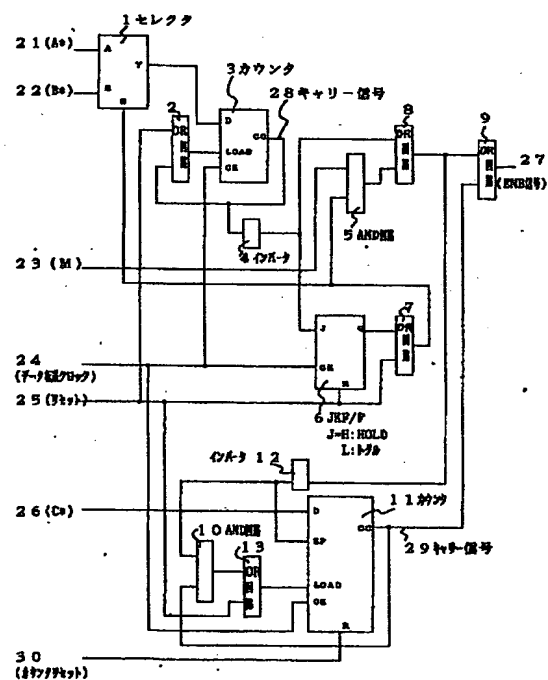
(74) 代理人 弁理士 熊谷 雄太郎

(54) 【発明の名称】 画像データの拡大縮小回路

(57) 【要約】

【目的】 データ拡大縮小回路において、ズームなどの連続的な倍率設定を可能とする。

【構成】 データ転送クロックをカウントし、リセット時および自らのキャリアウト発生時に予め設定された2つの値A、Bを交互的にプリロードする第1のカウンタ3と、該第1のカウンタ3のキャリアウト発生時にかならず、または交互的に出力データを間引くイネーブル生成部を備えた縮小回路において、間引き回数をカウントし、リセット時および自らのキャリアウト発生時にあらたに設定された値Cをプリロードする第2のカウンタ11と、該第2のカウンタ11のキャリアウトに応じて出力データを活性化するイネーブル生成部とを備えることによりたとえ1%きざみの細密な倍率設定を可能とする。



## 【特許請求の範囲】

【請求項1】 データ転送クロックをカウントしリセット時および自らのキャリアアウト発生時に予め設定された2つの値A、Bを交互的にプリロードされる第1のカウンタと、該第1のカウンタのキャリアアウト発生時にかならずまたは交互的に出力データを間引くイネーブル生成部とを備えた画像縮小回路において、

上記間引き回数をカウントしリセット時および自らのキャリアアウト発生時にあらたに設定された値Cをプリロードされる第2のカウンタと、該第2のカウンタのキャリアアウトに応じて出力データを活性化するイネーブル生成手段とを備えることを特徴とする画像データの縮小回路。

【請求項2】 データ転送クロックをカウントしリセット時および自らのキャリアアウト発生時に予め設定された2つの値A、Bを交互的にプリロードされる第1のカウンタと、該第1のカウンタのキャリアアウト発生時にかならずまたは交互的に入力クロックを間引くイネーブル生成部とを備えた画像拡大回路において、

上記間引き回数をカウントしリセット時および自らのキャリアアウト発生時にあらたに設定された値Cをプリロードされる第2のカウンタと、該第2のカウンタのキャリアアウトに応じて入力クロックを活性化するイネーブル生成手段とを備えることを特徴とする画像データの拡大回路。

【請求項3】 出力データを活性化することにより画像データの縮小回路を構成し、入力クロックを活性化することにより画像データの拡大回路を構成することをも特徴とした画像データの拡大縮小回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像データの拡大縮小回路に関し、特に、3パラメータによる画像データの拡大縮小回路に関する。

【0002】

【従来の技術】従来の画像データ拡大縮小回路は図2に示すように構成されている。

【0003】以下、図3のタイミングチャートを参照しつつ図2の回路構成の動作を説明する。

【0004】セクタ1の入力A、Bは縮小率を規定する定数である。ここでは、 $A=2$ 、 $B=3$ のときの動作を説明する。また、信号線A、Bまたはカウンタ3は4ビットと仮定する。

【0005】信号入力21は、信号入力21(A\*) = 0Dh (ヘキサ) = 1101b (バイナリ) (A\*はAの反転を意味する)、信号入力22は、信号入力22(B\*) = 0Ch (ヘキサ) = 1100b (バイナリ) (B\*はBの反転を意味する)、となる。

【0006】セクタ1は、初期状態においてB入力22 (すなわち0Ch) を出力する。カウンタ3はリセッ

ト信号25により、B入力0Ch 22がロードされる。リセット解除後、カウンタ3は、データ転送クロック24によりインクリメントされ、3クロックで0Fhとなり、キャリア信号28を出力する(1にする)。

【0007】また、リセット解除後、セクタ1はA入力21 (すなわち0Dh) を出力している。カウンタ3は、キャリア信号28によりセクタ1の出力0Dhがロードされる。同時に、JKF/F6はキャリア信号28により出力Qを反転する(1にする)。その結果、セクタ1はB入力 (すなわち0Ch) を出力する。

【0008】カウンタ3は、データ転送クロック24によりインクリメントされ、2クロックで0Fhとなり、キャリア信号28を出力する(1にする)。

【0009】上記動作を繰り返し、結果としてキャリア信号28は、2クロック0を出し、1クロック1を出し、3クロック0を出し、1クロック1を出すという動作を繰り返す。ENB信号27は、キャリア信号28の反転であるから7クロック中2クロックの割合で0を出力する。

【0010】ENB信号27は、後段の間引き回路34に入力され、間引き回路34はENB信号27が0のときデータを間引き (具体的には出力クロックを間引く)、結果としてデータ縮小回路が実現される (図4参照)。

【0011】データ拡大のときには、ENB信号27は前段の入力クロック間引き回路33に入力され、データ入力クロックを間引くことによりデータ拡大回路が実現される (図5参照)。

【0012】また、入力信号23(M)によってキャリア信号28を制御することも可能である。すなわち、 $M=1$ ならばキャリア信号28の発生を一つおきにENB信号27に伝達する。

【0013】従って、上記の例でいえば7分の1の割合でデータを間引くことになる。これにより、縮小率が1に近い (すなわち間引き率の小さい) 設定が可能となる。

【0014】

【発明が解決しようとする課題】しかしながら、叙上の従来における拡大縮小回路は、倍率が1から離れる程、設定可能倍率が離散的になるという課題があった。

【0015】すなわち、従来のシングルカウンタによる間引き方式では設定可能倍率 ( $1/2$ 以上) は以下のようになる。

【0016】 $1/2$ 、 $3/5$ 、 $2/3$ 、 $5/7$ 、 $3/4$ 、 $7/9$ 、 $4/5$ 、 $9/11$ 、 $5/6$ 、 $11/13$ 、 $6/7$ 、 $13/15$ 、 $7/8$ ……………

これを百分率で表すと、以下のようになる。

【0017】50%、60%、66.7%、71.4%、75%、77.8%、80%、81.8%、83.3%、84.6%、85.7%、86.7%、87.5%

%・・・

.....すなわち、倍率1 (=100%)から離れる程、設定可能倍率は離散的(間欠的)になる。

【0018】しかしながら、最近のファクシミリなどの画像処理装置においては、ズームなどの連続的な倍率設定(たとえば1%きざみの)が求められつつある。この従来の回路では、そのような連続的な細かい倍率設定は不可能である。

【0019】本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記課題を解決し、倍率が1から離れても、細かい倍率設定を可能とする画像データの新規な拡大縮小回路を提供することにある。

【0020】

【課題を解決するための手段】上記目的を達成する為に、本発明に係る3パラメータによる画像データの縮小回路は、データ転送クロックをカウントしリセット時および自らのキャリアウト発生時に予め設定された2つの値A、Bを交互的にプリロードする第1のカウンタと、この第1のカウンタのキャリアウト発生時にかならずまたは交互的に出力データを間引くイネーブル生成部とを備えた縮小回路において、上記間引き回数をカウントしリセット時および自らのキャリアウト発生時にあらたに設定された値Cをプリロードする第2のカウンタと、この第2のカウンタのキャリアウトに応じて出力データを活性化するイネーブル生成部とを備えて構成される。

【0021】また本発明に係る画像データの拡大回路は、データ転送クロックをカウントしリセット時および自らのキャリアウト発生時に予め設定された2つの値A、Bを交互的にプリロードされる第1のカウンタと、該第1のカウンタのキャリアウト発生時にかならずまたは交互的に入力クロックを間引くイネーブル生成部とを備えた画像拡大回路において、上記間引き回数をカウントしリセット時および自らのキャリアウト発生時にあらたに設定された値Cをプリロードされる第2のカウンタと、該第2のカウンタのキャリアウトに応じて入力クロックを活性化するイネーブル生成手段とを備えて構成される。

【0022】

【実施例】次に、本発明をその好ましい一実施例について図面を参照して具体的に説明する。

【0023】図1は本発明の一実施例を示す回路ブロック構成図である。セレクタ1からOR回路8までの回路は図2の従来回路と同じである。

【0024】以下、図3のタイミングチャートを参照しつつ図1の回路構成の動作を説明する。

【0025】セレクタ1の入力A、Bは縮小率を規定する定数である。ここでは、A=2、B=3のときの動作を説明する。また、信号線A、Bまたはカウンタ3は4

ビットと仮定する。

【0026】信号入力21は、信号入力21(A\*)=0Dh(ヘキサ)=1101b(バイナリ)(A\*はAの反転を意味する)、信号入力22は、信号入力22(B\*)=0Ch(ヘキサ)=1100b(バイナリ)(B\*はBの反転を意味する)、となる。

【0027】セレクタ1は、初期状態においてB入力22(すなわち0Ch)を出力する。カウンタ3はリセット信号25により、B入力0Ch22がロードされる。リセット解除後、カウンタ3は、データ転送クロック24によりインクリメントされ、3クロックで0Fhとなり、キャリアー信号28を出力する(1にする)。

【0028】また、リセット解除後、セレクタ1はA入力21(すなわち0Dh)を出力している。カウンタ3は、キャリアー信号28によりセレクタ1の出力0Dhがロードされる。同時に、JKF/F6はキャリアー信号28により出力Qを反転する(1にする)。その結果、セレクタ1はB入力(すなわち0Ch)を出力する。

【0029】カウンタ3は、データ転送クロック24によりインクリメントされ、2クロックで0Fhとなり、キャリアー信号28を出力する(1にする)。

【0030】上記動作を繰り返し、結果としてキャリアー信号28は、2クロック0を出し、1クロック1を出し、3クロック0を出し、1クロック1を出すという動作を繰り返す。ENB信号27は、キャリアー信号28の反転であるから7クロック中2クロックの割合で0を出力する。

【0031】ENB信号27は、後段の間引き回路34(DFE)に inputs され、間引き回路34はENB信号27が0のときデータを間引き(具体的には出力クロックを間引く)、結果としてデータ縮小回路が実現される(図4参照)。

【0032】データ拡大のときには、ENB信号27は前段の入力クロック間引き回路33に inputs され、データ入力クロックを間引くことによりデータ拡大回路が実現される(図5参照)。

【0033】また、入力信号23(M)によってキャリアー信号28を制御することも可能である。すなわち、M=1ならばキャリアー信号28の発生を一つおきにENB信号27に伝達する。

【0034】従って、上記の例でいえば7分の1の割合でデータを間引くことになる。これにより、縮小率が1に近い(すなわち間引き率の小さい)設定が可能となる。

【0035】続いて、本発明により追加された回路構成について説明する。

【0036】図1を参照するに、参照符号11は本発明により追加されたカウンタを示し、このカウンタ11は、間引き回数をカウントし、リセット時および自らのキャリアウト発生時にあらたに設定された値Cをプリロ

10

20

30

40

50

ードされる。

【0037】また、図4(a)は縮小回路用イネーブル生成部、図5(a)は拡大回路用イネーブル生成部をそれぞれ示している。各イネーブル生成部36は、インバータ(INV)31と、OR回路(OR)32と、間引き回路(DFB)33と、間引き回路(DFB)34とを有しており、縮小と拡大とでは各回路の接続関係が異なるだけである。

【0038】カウンタ11はOR回路8が0となったとき(すなわちデータを間引くとき)に、インクリメント 10される。カウンタ11には予め信号入力26(C\*)がプリロードされているから、カウンタ11はC回カウントすればキャリー信号29を出力する(1にする)。

【0039】このキャリー信号29は、OR回路9を経てENB信号27を1にする。すなわち、本来間引かれるデータが活性化する(間引かれない)。

【0040】また、カウンタリセット信号30により、本追加回路を無効にすることも可能である。

【0041】結果として、設定可能倍率は細分化されて表1(a)、(b)、(c)に示すような倍率設定が可能となる(カウンタ11は、6ビットを前提としている)。すなわち、ほぼ1%きざみでの倍率設定が可能である。表1(a)～(b)は、縮小における設定倍率を記載しているが、拡大においても同時に設定できることは言うまでもない。

【0042】表1(a)～表1(c)は本発明によるズーム倍率設定表である。

【表1(a)】

【0043】

A	B	M	C	設定倍率	目標倍率
1	1	0	無効	50.0%	50%
1	1	0	48	51.0%	51%
1	1	0	24	52.0%	52%
1	1	0	16	52.8%	53%
1	1	0	12	53.8%	54%
1	1	0	8	55.0%	55%
1	1	0	7	55.8%	56%
1	1	0	6	57.1%	57%
1	1	0	5	58.3%	58%
1	1	0	5	58.8%	59%
1	2	0	無効	60.0%	60%
1	2	0	88	61.0%	61%
1	2	0	18	62.0%	62%
1	2	0	12	63.1%	63%
1	2	0	8	64.0%	64%
1	2	0	7	65.0%	65%
1	2	0	6	65.7%	66%
2	2	0	68	67.2%	67%
2	2	0	24	68.0%	68%
2	2	0	18	69.0%	69%
2	2	0	8	70.0%	70%
2	2	0	7	70.8%	71%
2	8	0	48	72.0%	72%

【0044】

【表1(b)】

A	B	M	C	設定倍率	目標倍率
2	3	0	17	73.0%	73%
2	3	0	11	74.0%	74%
3	3	0	無効	75.0%	75%
3	3	0	24	76.0%	76%
3	3	0	11	76.8%	77%
3	3	0	7	78.1%	78%
3	4	0	17	79.0%	79%
4	4	0	無効	80.0%	80%
4	4	0	19	81.0%	81%
4	4	0	9	82.0%	82%
4	5	0	14	83.0%	83%
5	5	0	24	84.0%	84%
5	8	0	39	85.0%	85%
8	8	0	49	86.0%	86%
8	7	0	39	87.0%	87%
7	7	0	24	88.0%	88%
7	8	0	14	88.0%	89%
9	9	0	無効	90.0%	90%
9	10	0	17	91.0%	91%
12	13	0	無効	92.0%	92%
13	13	0	49	93.0%	93%
15	15	0	24	94.0%	94%
9	9	1	無効	95.0%	95%

【0045】

【表1(c)】

A	B	M	C	設定倍率	目標倍率
11	12	1	無効	96.0%	96%
15	15	1	24	97.0%	97%
11	12	1	1	98.0%	98%
15	15	1	1	98.4%	98%

【0046】

【発明の効果】以上説明したように、本発明による拡大縮小回路によれば、第2のカウンタにより間引きデータを制御することによって、1%きざみの細分化された倍率設定が可能となる。

【図面の簡単な説明】

【図1】本発明によるデータ拡大縮小回路の一実施例を示すブロック構成図である。

【図2】従来のデータ拡大縮小回路のブロック図である。

【図3】従来回路の説明のタイミングチャートである。

【図4】縮小回路の回路図(a)とタイミングチャート(b)である。

【図5】拡大回路の回路図(a)とタイミングチャート(b)である。

【符号の説明】

1…セレクタ

2、7、8、9、13…OR回路

3、11…カウンタ

20 4、12…インバータ(反転回路)

5、10…AND回路

6…JKF/F

31…インバータ(反転回路)

32…OR回路

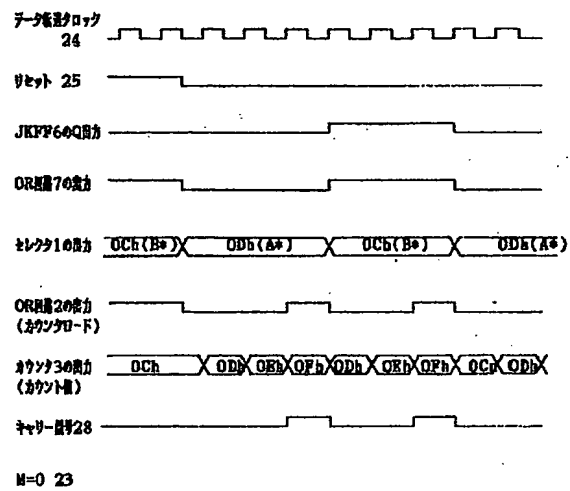
33…DF/F(ネガティブエッジトリガ)

34…DF/F(ポジティブエッジトリガ)

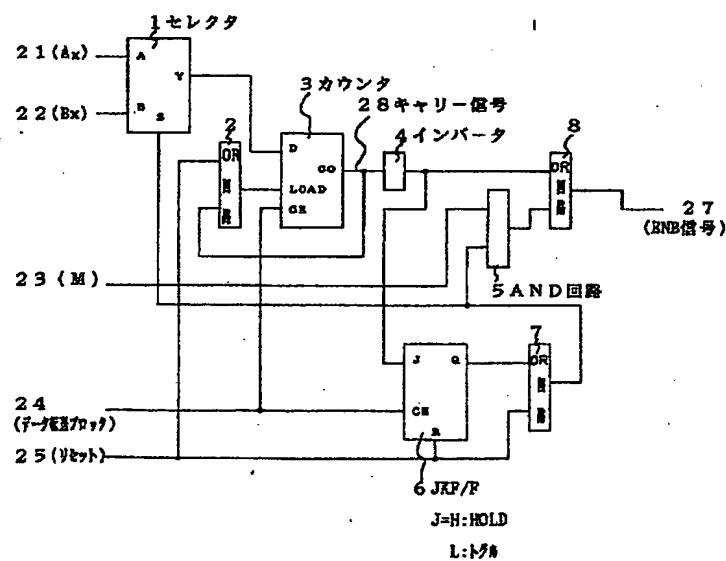
35…出力クロック

36…イネーブル生成部

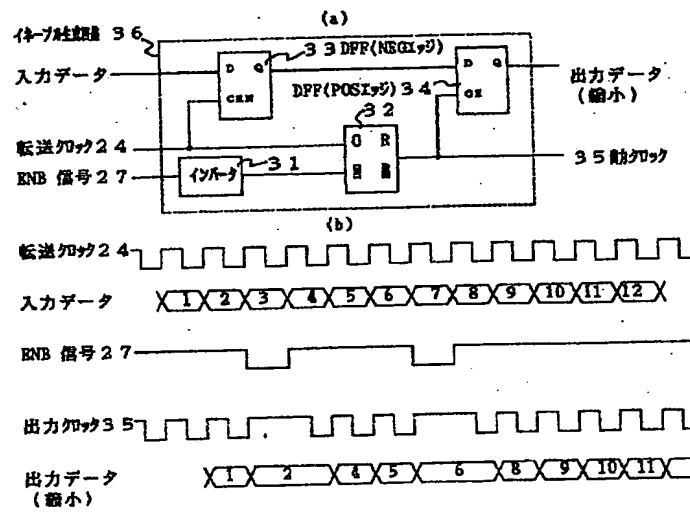
【圖 3】



【圖2】



【図4】



【図5】

